



I3C DDR5 ベースのサーバー・プラットフォーム・ソリューションにお ける シグナル・インテグリティの課題

発表者：アズセナ・ルペルシオ、フアン・オロスコ、ネスター・ヘルナンデス
インテル株式会社



フアン・オロスコ: こんにちは。インテル株式会社のフアン・オロスコと申します。私と、同僚のアズセナ・ルペルシオ、ネスター・ヘルナンデスとで「DDR5 ベースのサーバー・プラットフォーム・ソリューションにおけるシグナル・インテグリティの課題」について発表いたします。

Agenda

- Introduction
- DDR5 SPD server connectivity and bus characteristics
- I2C and MIPI I3C Retro-compatibility challenges
 - Non-dynamic pullup impact
 - Dynamic pullup on open-drain
- Buffer R_{ON} design implications
- Critical time margin calculation
 - Frequency and AC/DC parameters impact
- Non-monotonic signal behavior
- Slope reversal capability and timing improvement
- Summary

ファン・オロスコ: このプレゼンテーションでは DDR5 SPD サーバーの接続性とバスの特性の概要を説明いたします。I2C と MIPI I3C の後方互換性の課題、システム設計への影響に関する I3C コントローラとターゲットデバイスのバッファを確認し、クリティカルタイムマージンの計算、異なる AC/DC パラメータが実装の動作周波数に与える影響について詳しく説明します。私たちが持っている、またこのアプリケーションで観測される非単調信号をお見せし、なぜタイミングマージン改善と、デバイスの論理的機能の向上のためターゲット・デバイスにスロープ反転機能が必要なのかという理由を説明し、最後にまとめをいたします。



MIPI ALLIANCE DEVELOPERS CONFERENCE

28-29
SEPTEMBER
2021

Introduction

[MIPI.ORG/DEVCON](https://mipi.org/devcon)

MOBILE & BEYOND

© 2021 MIPI Alliance, Inc.

Introduction

- The MIPI I3C Improved Inter-Integrated Circuit interface is first introduced in a server application for the DDR5 DIMM Serial Presence Detect (SPD) function.
- Its implementation exceeds by far the bus capacitance/loading specification, which was defined for low capacitance Mobile/IoT applications.
- This presentation covers the interoperability challenges of the dynamic push-pull and open-drain operating modes on I3C BASIC server applications.
 - Covering an in-depth analysis of the implications of long PCB traces, multiple DIMM routing branches, several loads, to the electrical and timing parameters.

ファン・オロスコ: では早速始めましょう。MIPI I3C 改善型集積回路インターフェイスは、DDR5 デュアル・インライン・メモリーモジュールのシリアルプレゼンス検出 (SPD) 機能向けサーバーアプリケーションとして初めて導入されました。サーバーへの実装は、モバイル IOT や小型携帯機器のアプリケーションで、この仕様が定義された低容量と高容量の両方について、MIPI I3C BASIC 仕様で理解されるバス容量をはるかに上回りました。。このプレゼンテーションでは、I3C BASIC ソリューションにおける動作モードの動的プッシュプルおよびオープンドレインの性質によって DDR5 サーバーアプリケーションで発生する相互運用性の課題を取り上げます。複数の負荷を持つマルチモーダル配線ブランチのマザーボードにおける極長 PCB トレースの影響を詳細に分析し、これらの特性が電気的およびタイミングパラメータにどのような影響を与えたかを説明します。

Introduction cont'd

- I3C Communication Bus specification was released by MIPI Alliance in 2016, as an improved communication protocol compared to its predecessor I2C, but the implementation of I3C, in a Data Center (Server) application was materialized until 2020.
- The main enhancements in I3C adopted by the DDR SPD function are:
 - Higher bit rate: up to 12.5MHz, compared to 100KHz-1MHz I2C SPD in prior DDR generations (125x to 12.5x higher bit rate).
 - Better IO electrical interface: Push-pull driver vs Open Drain only.
 - In-band interrupts (IBI) support – Not supported in DDR5 now, but looking for support in the future (or in other Server use cases).
 - In band Common Command Codes (CCCs) – Direct or Broadcast.
 - Reduced interface power (1.0V IOs).

ファン・オロスコ: I3C 通信バス仕様は、2016年にMIPIアライアンスから、前身のI2Cよりも改良された通信プロトコルとして発表されました。データセンターでのサーバーアプリケーションへのI3Cの実装は、最初のDDR5サーバーが登場した2020年となりました。

DDRのSPD機能で採用されたI3Cの主な強化点はビットレートの向上です。前世代のDDRではI2CのSPD機能が100キロヘルツから1メガヘルツであったのに対し、I3Cの場合、理論的には12.5メガヘルツに達することができます。。実装環境次第で12.5倍から125倍のビットレートが可能です。。

IOの電氣的インターフェースは、オープンドレインのみのバッファよりもプッシュプルドライバの方が優れており、この種の実装には非常に適しています。DDR5 SPDでは現在使用されていないインバンド割り込みまたはIBIですが、将来的には他のサーバーのユースケースでも使用できるようにしたいと考えています。

CCCsを直接またはブロードキャストで使用すると、ターゲットデバイスやコントローラデバイスからの通信にメリットが得られます。そしてもちろん、インターフェースの電力もボルトIOとなり、削減されています。

Introduction cont'd

- The DDR5 SPD interface transitioned from I2C to MIPI I3C based on the following requirements for the next generation DDR DIMM technology:
 - Lower IO operating Voltage (as low as **1V** aligned to advanced process node)
 - DDR4 SPD IO voltage was **2.5V**
 - Higher interface bit rate (**400KHz** to **8-12.5MHz** in real applications) due to the increased number of devices per DIMM to be managed
 - DDR4 had **two** devices per DIMM vs **five** devices in DDR5
 - Considering 8 DIMMs per SPD segment, this is 16 vs 40 devices
 - Higher bit rate to reduce boot time (diminishing Memory Reference code execution time)

フアン・オロスコ: DDR5 の SPD インターフェースの I2C から MIPI I3C への移行は、以下の次世代 DDR DIMM 技術要件に基づいて行われています。1) IO の動作電圧低減。シリコンプロセスノードの進化に合わせ、1 ボルトという低電圧を実現しました。前世代では、DDR4 SPD は 2.5 ボルトの IO で使用されていましたが、これは今回のアドバンスト・シリコンプロセスとは互換性がありません。

2年後、4年後を考えると、1 ボルトの IO が必要です。DDR4 のインターフェイスビットレートが高いため、DDR5 アプリケーションの5つのデバと比較して2つのDIMMを使用しました。多くのデバイス数を管理するためには、より高いビットレートが必要になります。SPD セグメント1つあたり最大8つの DIMM を使用できることを考えると、DDR4 アプリケーションで管理できたデバイス数が16であったのに対し、DDR5 では合計40と、2倍以上のデバイスを管理することになります。

実際の実装では、I2C は最大で 400 キロヘルツに達しますが、それを制限する要因が2つあります。1つは信号のオープンドレイン性。400 キロヘルツ以上を達するためには、立ち上がり時間と高い昇圧容量の問題が出てきます。もうひとつは、I2C MoC [ph?] のような標準化された I2C デバイスが 400 キロヘルツに制限されているという問題です。I3C の場合、実際のアプリ

リケーションでは、インターフェースに含まれる機器の数に応じて、8~12.5メガヘルツに達します。

コンピュータの起動時間を短縮するためにも、より高いビットレートが求められます。これにより、メモリ参照コードがビン検出プロセス全体に費やす時間が短縮されます。



28-29
SEPTEMBER
2021

**DDR5 SPD Server connectivity and
bus characteristics**

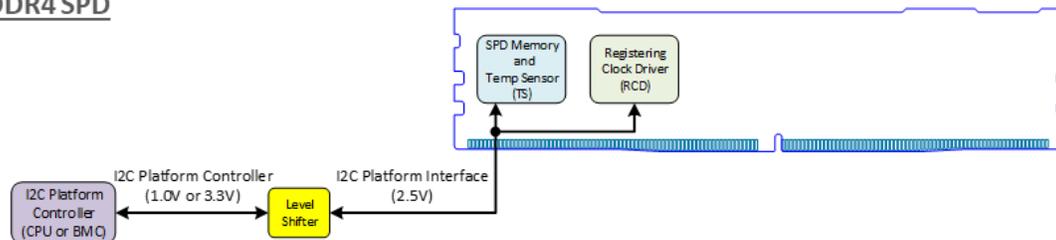
[MIPI.ORG/DEVCON](https://mipi.org/devcon)

MOBILE & BEYOND

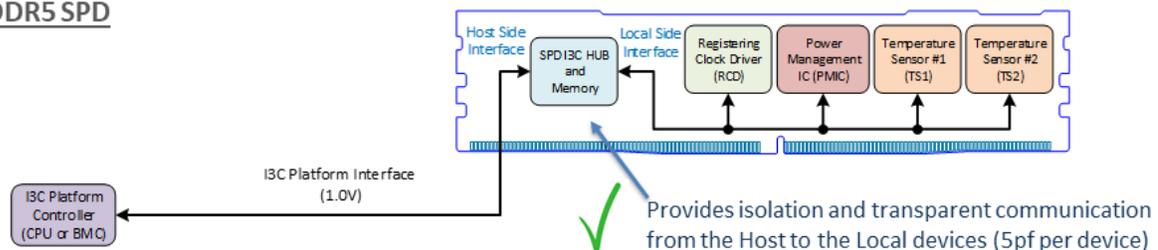
© 2021 MIPI Alliance, Inc.

DDR4 vs DDR5 SPD DIMM Connectivity

DDR4 SPD



DDR5 SPD

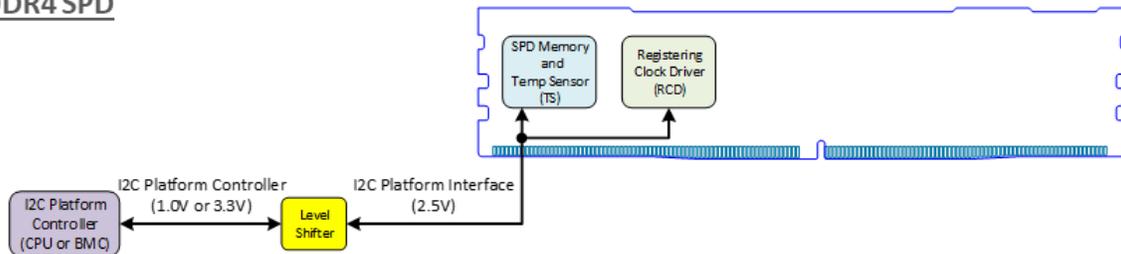


ファン・オロスコ: DDR5 SPD のサーバー用マザーボードでの接続性についておさらいしましょう。先ほどの DDR4 を見てみると、スペアとして、1 つには SPD のメモリと温度センサー、もう 1 つとしては登録用のクロックドライバーがあります。この 2 つのデバイスは、この 2.5V IO 電圧を介してプラットフォームの I2C インターフェイスに相互接続され、ホスト CPU やボードマネージャコントローラなどのプラットフォームのターゲットコントローラデバイスに接続されます。動作電圧はデバイスにより 1 ボルトまたは 3.3 ボルトと異なるため、その間にレベルシフターが必要となります。

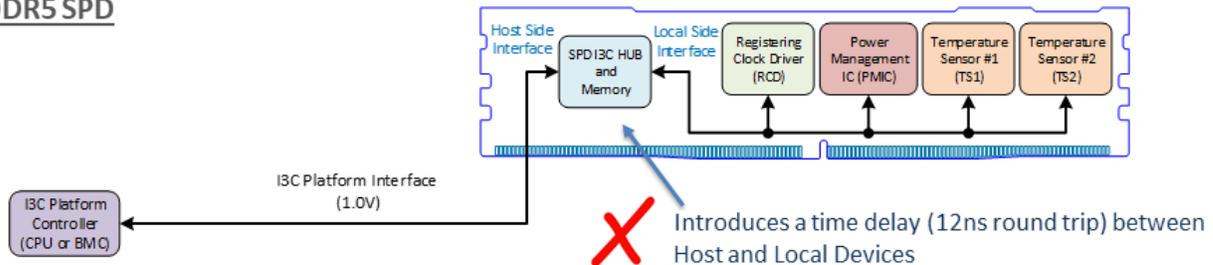
DDR5 SPD では、CPU や DMC などのプラットフォームコントローラが、1 ボルトの I3C IO を介し、DIMM インターフェイスに直接接続されています。DIMM には 5 つのデバイスがあります。そのうちの 1 つは DIMM 上のホスト ID インターフェイスとローカルサイトインターフェイスの間を電氣的に絶縁する SPD I3C HUB です。この絶縁により、プラットフォーム上のコントローラは、5 つのデバイスの電氣的負荷を同時に受けるのではなく、1 つのデバイスの電氣的負荷のみを受けることになります。したがって、全体の静電容量を最も減らすのに役立ちます。

DDR4 vs DDR5 SPD DIMM Connectivity

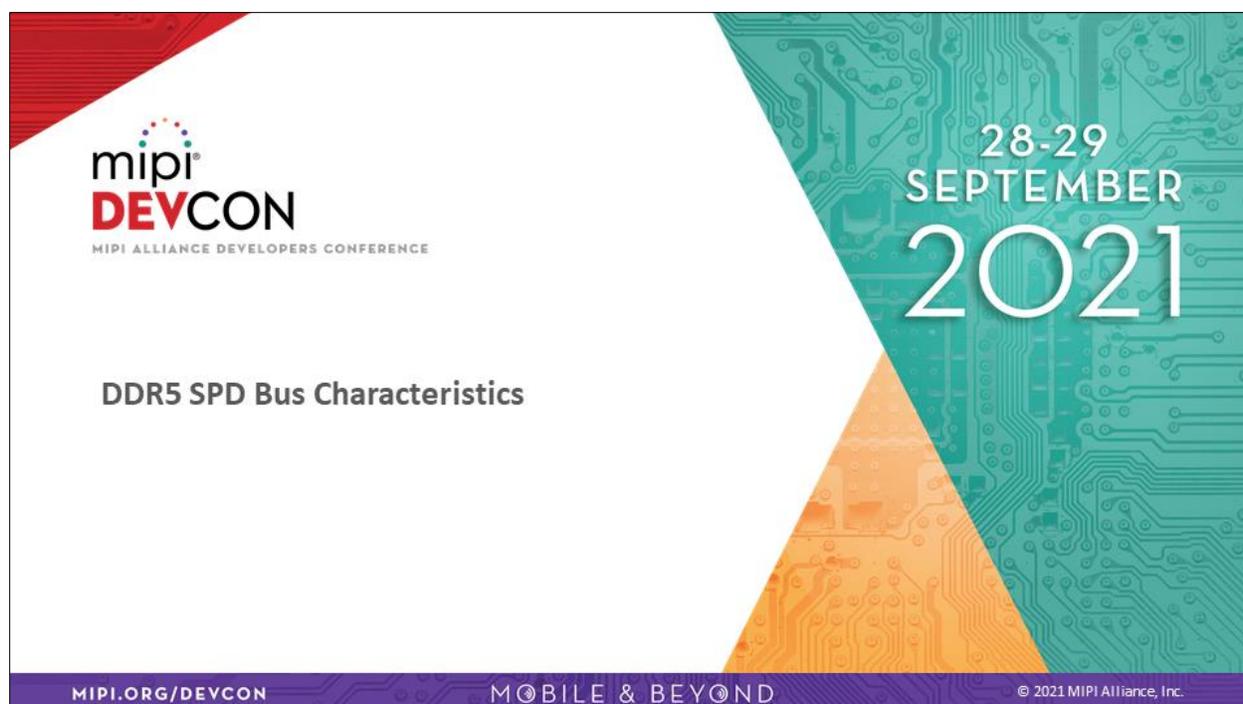
• DDR4 SPD



• DDR5 SPD



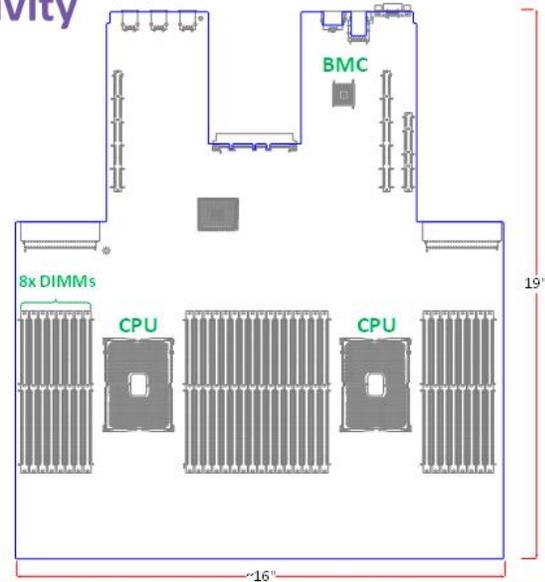
ファン・オロスコ: この方法の欠点は、SPD HUB により、コントローラとターゲットデバイス の間に 1 方向あたり 6 ナノ秒、往復 12 ナノ秒の時間遅れが発生します。ただ最終的には、コ ントローラが駆動する場合、タイミング解析で考慮されるこの 12 ナノ秒の遅延に対して、バ スコンデンサ間にトレードオフがあります。。ここからはネスターから発表させていただきます。



ネスター・ヘルナンデス: フアンさん、ありがとうございます。それでは SPD バスの特徴を紹介いたします。

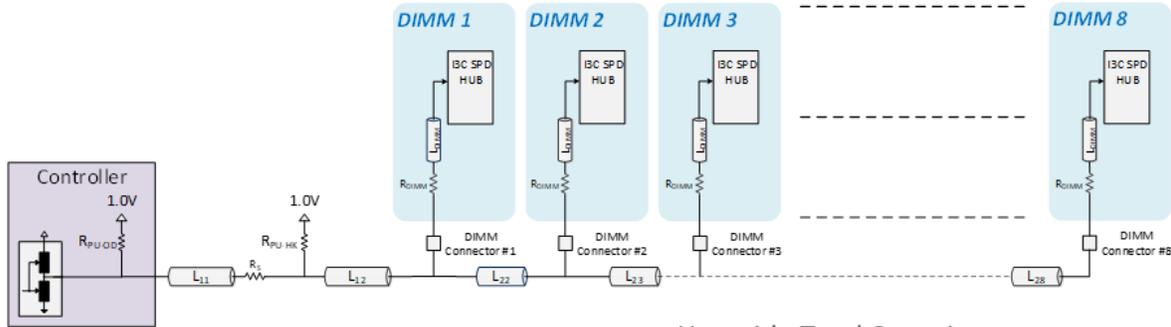
DDR5 SPD Platform Connectivity

- Host side Server PCB routing
 - Total length could exceed 50"
 - Server motherboards are BIG: up to 16"x 19"
 - BMC controller is located at the North side
 - DIMMs are located at the South side
 - CPU to DIMM SPD routing has lower priority than high speed IO routing (DDR5, PCIe G4/G5, etc.)



ネスター・ヘルナンデス: この図からわかるように、一番の問題はコンポーネントを配置するかという点です。CPUとユニットが近くにあるのに対し、BMCはそうでないことが多いからです。ボードのサイズは16×19なので配線が非常に大きなルーティングなり、50インチほどになります。SPDは優先順位が低いため、PCIeやDDRなどの最上位ビットの後に配線されます。これが最初の課題です。

Routing length and capacitance



- Host side Server PCB routing

- From Controller to DIMMs ($L_{11}+L_{12}+L_{2x}$): $\sim 25''$
- DIMM routing (L_{DIMM}): $3.5''/DIMM, 28'' \times 8x DIMMs$
- Total PCB trace length: $\sim 53''$

- Host side Total Capacitance

- Each device apport 5pF
 - 1 CPU + 8 HUBs = 45pF
- PCB routing is $\sim 3pF/in$
 - $53'' * 3pF = \sim 159pF$
- **Totaling:**
 - Dev (45pF) + PCB (53pF) = **$\sim 204pF$**

ネスター・ヘルナンデス: 次の課題は接続をどうするかです。たくさんの分岐があるためです。ご覧のように8つのDIMMが分岐し非常に長い配線となっています。各DIMMのすべての負荷とルートを考慮すると、ドライバーは約200バスの静電容量を常に管理しなければならないです。これらのキャパシターを取り除いた場合に、電気的な互換性がどうなるのは次の質問です。



MIPI ALLIANCE DEVELOPERS CONFERENCE

I2C and MIPI I3C Retro-compatibility Challenges

28-29
SEPTEMBER
2021

[MIPI.ORG/DEVCON](https://mipi.org/devcon)

MOBILE & BEYOND

© 2021 MIPI Alliance, Inc.

I2C and MIPI I3C Retro-compatibility Challenges

- There are three operating modes supported by the I3C protocol:
 - I2C mode with Open-Drain(OD) buffer class.
 - I3C mode with Open-Drain buffer class.
 - I3C mode with Push-Pull(PP) buffer class.
- The OD class requires a pullup to set a stable “Logic-high”.
 - The pullup is set accordingly with the total capacitance on the bus.
 - High capacitance busses requires a **“Strong pullup”**
 - Strong pullup guarantees rise time specification to pass.
- The PP class requires a High-Keeper pullup.
 - A “Weak pullup” is required to the target device with low current can pull SDA signal low within a minimum low period.
 - Weak pull-up lessens the voltage levels disturbances

MIPI I3C Basic Spec requires Dynamic pull-up control to switch between “strong pull-up” and “weak pull-up” to optimize open-drain and push-pull timing requirements.

ネスター・ヘルナンデス: I3C と I2C とに互換性を持たせるために、まずは I2C の要件を深く理解する必要がありました。I2C では、オープンドレインのバッファクラスが必要で、強力なプルアップが必要です。オープンドレインであるために強力なプルアップが必要です。これを実現するには、ロー・ハイへの高度なロックが必要です。I2C の問題点は、プッシュプル・バッファリングが必要なことです。ローレベルを動かすためには、弱いプルアップが必要となるため、MIPI I2C の基本仕様では、オープンドレインに必要な強いプルアップと、新しい I2C モードのプッシュプルに必要な弱いプルアップとの切り替えを制御するダイナミック・プルアップが必要となります。

Non-Dynamic Pullup impact in a 204pF bus

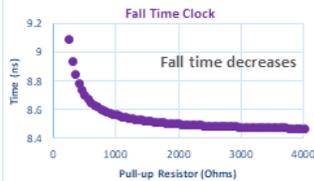
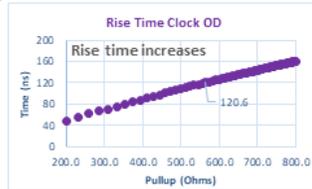


← Push-Pull

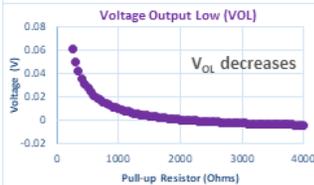
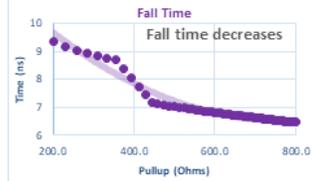
Open-Drain →

The Highest the PU

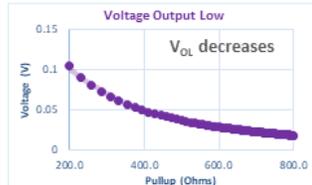
- VIH never reached with pull-up higher than 800Ω
- Limit max operating frequency



- On-Board PU can guarantee an OD max operating frequency.
 - A parallel equivalent $R_{PU_HK} || R_{PU_OD}$ of 333.3Ω
 - Rise time=75.3ns
 - A pullup $\geq 550\Omega$ negatively affects both rise time and operating frequency



A trade-off among pull-up value, rise time and V_{OL} is required to meet the highest operating frequency



ネスター・ヘルナンデス: 3つの数字を使用すると-- 立ち上がり時間が難しいのですが - 次は立ち下がり時間とVOLです。。右側のオープンドレインでは抵抗値が低く、左側のプッシュプルオーバーでは抵抗値が高くなる必要がある事がわかります。。そこで、この2つの条件を並行して同等に実行すると並、ある地点にたどり着きます。その地点は通常約303Ωで、立ち上がり時間は約75ナノ秒となります。このプルアップにより、最高の動作周波数を満たすために必要な安全で健全なVOL値を得ることができます。



28-29
SEPTEMBER
2021

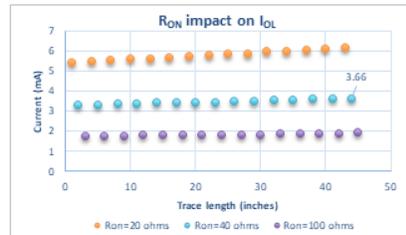
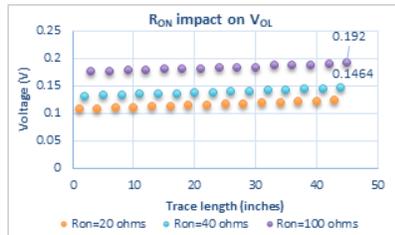
Buffer R_{ON} design implications

MIPI.ORG/DEVCON

MOBILE & BEYOND

© 2021 MIPI Alliance, Inc.

Buffer R_{ON} value design implications

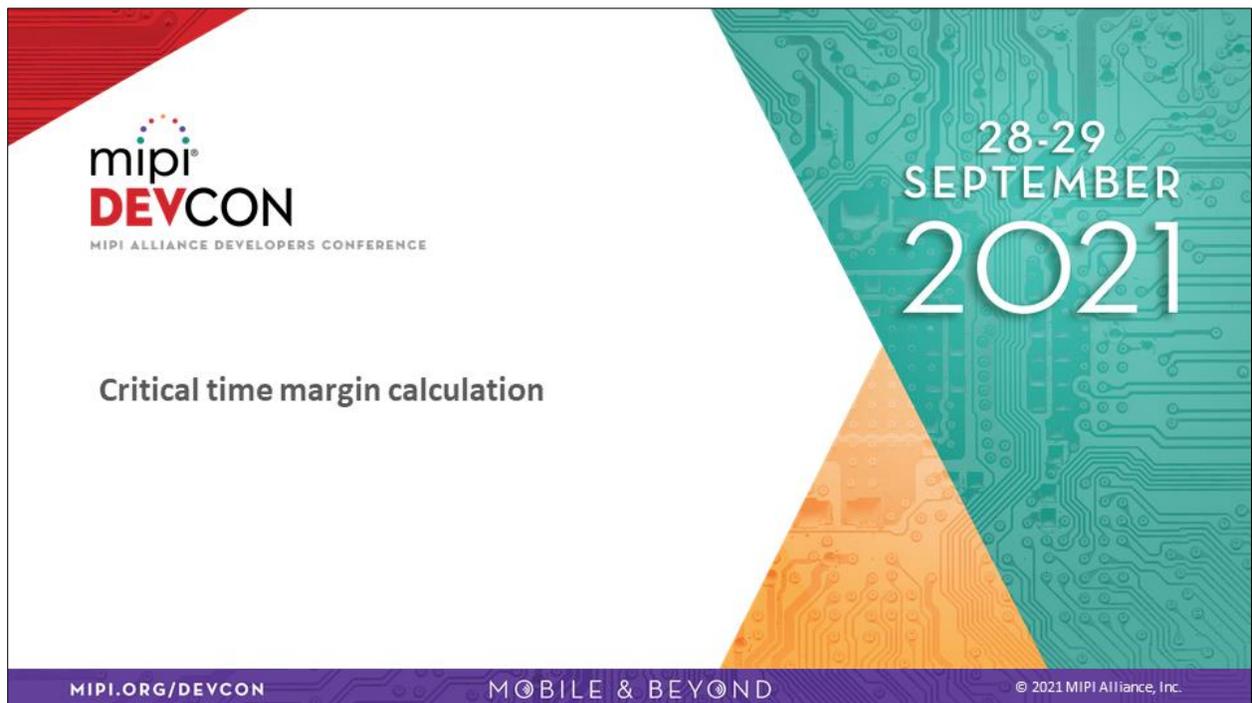


- The bigger the R_{ON} the higher the V_{OL} is:
 - Increasing trace length results in higher V_{OL}
 - With the longest trace length, $V_{OL}=192\text{mV}$,
 - Assuming $V_{IL}=0.3\text{V}$ then the transition margin is 108mV
 - » Low transition margin can cause idle states
- Setting the R_{ON} at 40Ω reduces the V_{OL}
 - With the longest trace length $V_{OL}=146\text{mV}$,
 - If $V_{IL}=0.3\text{V}$ then the transition margin is 154mV
 - Notice that at the longest trace length with $V_{OL}=146\text{mV}$ the I_{OL} is **3.66mA**

By limiting R_{ON} into a max range of 40Ω ensures a healthy V_{OL} by setting a max I_{OL} bigger than 3mA

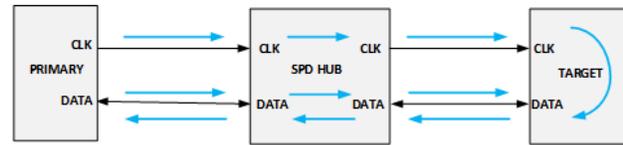
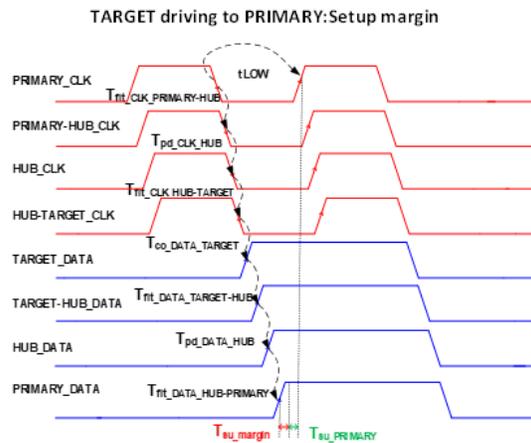
ネスター・ヘルナンデス: バスを駆動するドライバーは強力でなければなりません。トレースの長さから 40Ω の強力なドライバーが必要です。50 インチなどになってもこうしてまだキャパシタ駆動を管理することができます。ですがいくつか問題があります。最長のトレースで VOL を使用できない場合、146 ミリボルト程度になり、VOL のトレース負荷が 300 の場合、150 ミリボルト程度のマージンがあります。問題となるのは、ここで使用されるのが私たちの電力構想にそぐわない 3.60mA である点です。そこで、 R_{ON} を最大シーケンシャル 40Ω に制限することで、健全な VOL を確保し、最大出力を 3mA 以下に保ちます。これが I3C 設計におけるこのバッファの主な特徴です。

次に、実際の接続試験の計算に移りましょう。



アズセナ・ルペルシオ: ネスターさん、ありがとうございました。ではここでクリティカルタイムマージンの計算についてお話ししましょう。

Critical time margin calculation



TARGET driving to PRIMARY: Setup margin

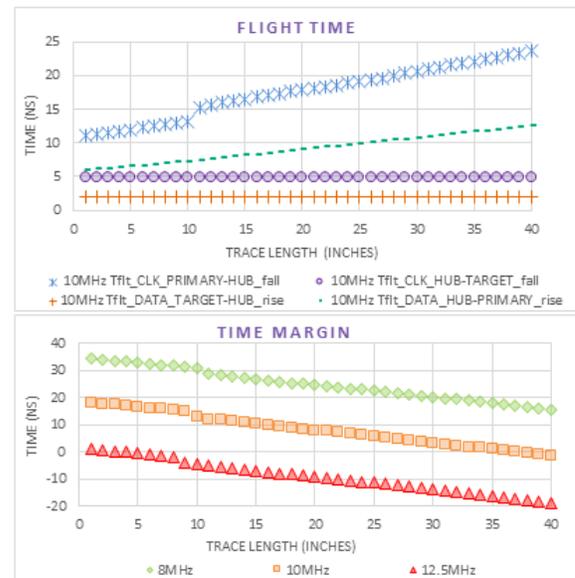
$$\begin{aligned}
 T_{su_{mar}} = & t_{LOW} - (T_{flt_{CLK_{PRIMARY} \rightarrow HUB_{fall}}} + T_{pd_{CLK_{HUB}}} \\
 & + T_{flt_{CLK_{HUB} \rightarrow TARGET_{fall}}} + T_{CO_{DATA_{TARGET}}} \\
 & + T_{flt_{DATA_{TARGET} \rightarrow HUB_{rise}}} + T_{pd_{DATA_{HUB}}} \\
 & + T_{flt_{DATA_{HUB} \rightarrow PRIMARY_{rise}}}) - T_{su_{PRIMARY_{max}}}
 \end{aligned}$$

アズセナ・ルペルシオ: 高静電容量システムの適切な動作周波数を特定するためには、ターゲットデバイスがプライマリデバイスを駆動する際のセットアップ時間の余裕を確認する必要があります。これは以下の式で求めることができます。信号周期の低い部分でのトランザクション手段を知って、そこからフルパスに存在するすべての伝搬遅延パラメータ、つまり、プライマリデバイスからハブデバイスへの伝搬遅延クロックフライトタイム、ハブのクロック伝搬遅延、ハブからターゲットへのクロック伝搬遅延、ターゲットのデータ TCO、ターゲットからハブへのデータフライトタイム、ハブのデータ伝搬遅延、ハブからプライマリへのデータ飛行時間、プライマリデバイスのセットアップ時間。

Critical time margin calculation

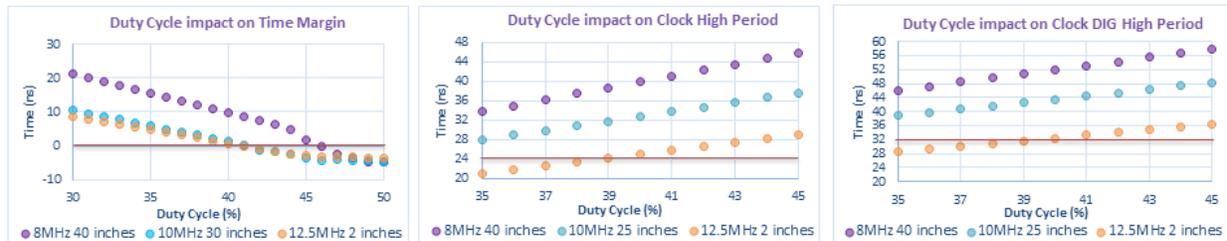
| Frequency | 10 | MHz |
|----------------------------|-------|-----|
| Duty cycle | 35 | % |
| tLOW | 65 | ns |
| tflt_CLK_PRIMARY-HUB_fall | 19.1 | ns |
| tpd_CLK_HUB | 6 | ns |
| tflt_CLK_HUB-TARGET_fall | 4.7 | ns |
| tco_DATA_TARGET | 12 | ns |
| tflt_DATA_TARGET-HUB_rise | 1.972 | ns |
| tpd_DATA_HUB | 6 | ns |
| tflt_DATA_HUB-PRIMARY_rise | 9.8 | ns |
| tsu_PRIMARY_max | 3 | ns |
| Setup Margin | 2.253 | ns |

- The longer trace length the biggest flight time
- Inner device propagation delay plays a significant role in defining the operating frequency.
 - The highest the Tpd the bigger the time margin reduction.
- Increasing tLOW provides extra timing margin.



アズセナ・ルペルシオ: これらの式を念頭に置くことで、動作周波数を特定する際に最も重要な、トレース長に依存するフライトタイム、各デバイスの内部伝搬遅延、tLOW などのパラメータを確認することができます。トレース長を長くすると飛行時間も長くなります。トレース長が長くなると、飛行時間が非常に長くなります。そして、伝搬遅延が大きいほど、時間マージンの減少も大きくなります。しかし、tLOW を増やすと、時間マージンが増える可能性があります。下の図には、12.5メガヘルツ、10メガヘルツ、8メガヘルツの3つの動作周波数を示しています。赤が12.5メガヘルツです。ご覧の通り、トレース長が非常に短くても、時間マージンは非常に短くなっています。つまり時間的に信号処理が完了できないということです。次に10メガヘルツでは、ソリューションスペースの範囲が約35インチと広くなります。そして最後に、8メガヘルツでは高容量バスのためのソリューションスペースが十分に広くなり、40インチ以上が可能となります。

Frequency and AC/DC parameters impact



- Increasing duty cycle reduces t_{LOW} , thus reducing the Time Margin.
- When reducing the Duty Cycle the t_{HIGH} and t_{DIG_HIGH} are affected.
 - Small Duty Cycle can produce a NOT PASS on t_{HIGH}/t_{DIG_HIGH} .

A correct selection of Duty Cycle provides extra time margin to complete the setup transaction, granting higher operating frequency.

From MIPI I3C Spec t_{HIGH} min 24ns, t_{DIG_HIGH} min 32ns

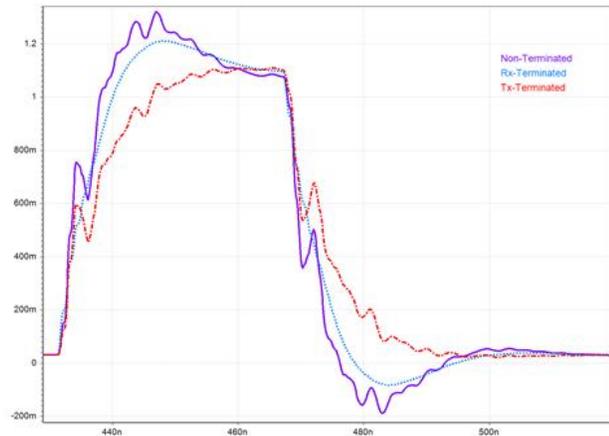
アズセナ・ルペルシオ: t_{LOW} が最も重要パラメーターの1つであることを理解した上で、デューティサイクル、LOW デジタルハイ期間、クロックハイ期間の3つのパラメーターを新たに設定します。デューティサイクルを増加させると t_{LOW} は減少します。これにより時間マージンも少なくなります。デューティサイクルを減らすと、 t_{HIGH} と t_{DIG_HIGH} が影響を受けません。つまりデューティサイクルを小さくすると、 t_{HIGH} と t_{DIG_HIGH} のスペックを満たさないものが出てしまうということです。すなわち、 t_{HIGH} の最小値が24ナノ秒、 t_{DIG_HIGH} の最小値が32ナノ秒などとなってきます。デューティサイクルを正しく選択することで、設定を完了するための時間マージンを得ることができ、より高い動作周波数が保証されます。



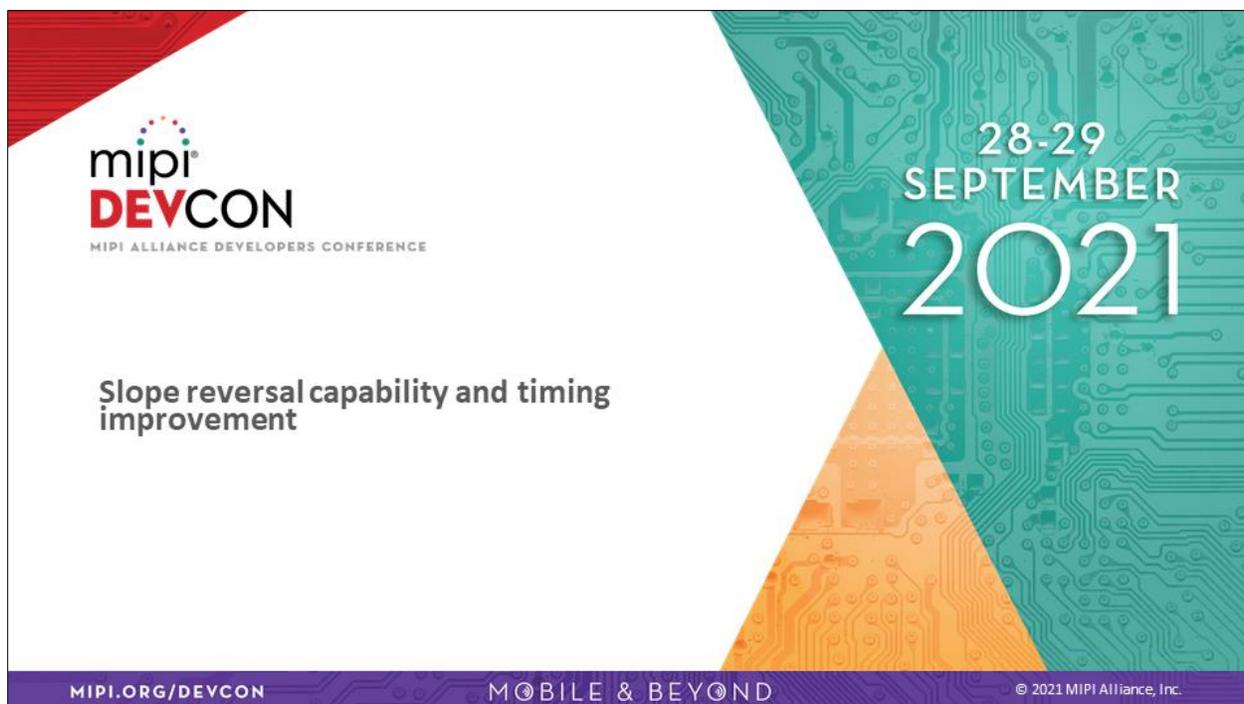
アズセナ・ルペルシオ: 非単調信号の挙動

Non-monotonic signal behavior

- Termination effect on transmission lines
 - Non-terminated circuit:
 - Signal bounces back and forth between the driver and the receiver.
 - Tx-terminated circuit:
 - Reduces drive strength
 - Increases propagation delay
 - Limits buffer capabilities
 - Rx-terminated circuit:
 - Reduces bouncing effect
 - Increases propagation delay



アズセナ・ルペルシオ: 非単調信号は判定効果によって緩和されます。つまり、回路を終端していない場合、信号がドライバーとレシーバーの間を行ったり来たりするということです。そして、信号が非単調性を持つため、送信側の終端回路はドライバーの強度を下げ、伝搬遅延を増加させ、両方のバッファ能力を制限します。こちらにも単調性は存在しません。送信機の終端回路はバウンス効果を減少させますが、時間伝搬遅延は非常に大きくなります。この青い線には、単調性はありません。

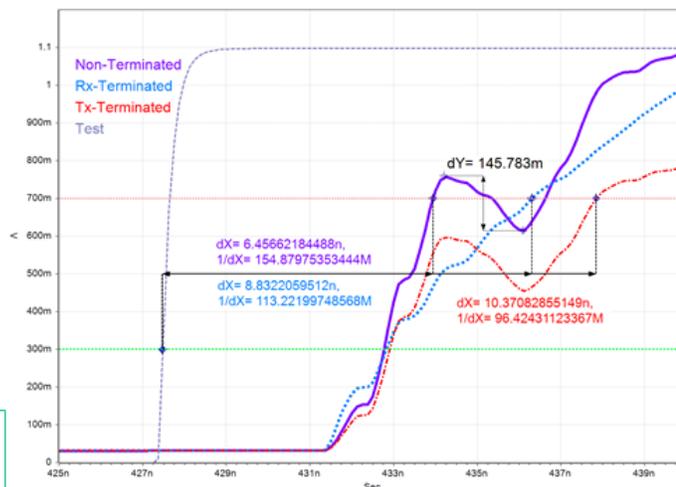


アズセナ・ルペルシオ: スロープ反転能力とタイミングの改善

Slope reversal capability and timing improvement

- With the non-deterministic loading of an unterminated bus, there can be reflections on the bus causing slope reversal on the Rx signal.
- By sampling at the first threshold is possible to filter Non-Monotonicity's; Schmidt triggered inputs
 - Non-terminated VS Rx-Terminated: **Improves 2.3ns**
 - Non-terminated VS Tx-Terminated: **Improves 3.92ns**

Slope reversal capability provides additional time margin that improves operating frequency and prevent false logic states.



アズセナ・ルペルシオ: 終端のないバスの非決定的なローディングでは、バス上で反射が起こり、受信信号のスロープが反転することがあります。最初のしきい値でサンプリングした場合、非単調性やシュミットのトリガ入力をフィルタリングすることができます。終端しない場合と終端した場合を比較すると、飛行時間は約 2.3 ナノ秒の改善となります。さらに、無終端回路と送信機終端回路を比較すると、飛行時間の改善は約 3.9 ナノ秒とより大きくなります。このように、スロープ反転機能は、動作周波数を改善し、誤った論理状態に陥ることを防ぐ時間マージンを提供します。



アズセナ・ルペルシオ: まとめです。

Summary

- I3C Applications in Server systems (such as DDR5 SPD) are dealing with higher Bus capacitance than the max limit assumptions in MIPI spec (for 12.5MHz capable buses).
- Higher Bus capacitance applications can be mitigated by using good Buffer Drive strength, strong open-drain class pull-up, and HUB isolation circuits.
- A dynamic pullup operation allows to drive the interoperability challenges between the open-drain and push-pull operating modes; by enabling higher operating frequencies on both modes and limiting critical parameters to meet latest specification.
- Strong buffers tend to increase signal energy reflections, specially in complex topologies resulting with slope reversal conditions at Devices' Inputs.
- Schmitt trigger capable inputs are required in order to mitigate slope reversal conditions when dealing with high bus capacitance and strong buffers

アズセナ・ルペルシオ: サーバーシステムにおける DDR5 SPD などの I3C アプリケーションは、主に 12.5 メガヘルツ対応のバスを対象とした I3C MIPI 仕様の最大および下限の想定よりも高いバス容量に対応しています。バス容量の高いアプリケーションは、ドライバ強度にバッファをかけることで緩和することができます。強力なオープンドレイン、クラスプルアップ、HUB 絶縁回路。ダイナミックプルアップ動作により、オープンドレイン動作とプッシュプル動作の両方で高い動作周波数を実現し、重要パラメータを最新仕様に合わせて制限し、相互運用性の課題を解決します。強力なバッファは、特に複雑なトポロジーにおいて信号エネルギーの反射を増加させる傾向があり、デバイスの入力でスロープの反転条件に頼ることになります。バス容量が高く、バッファが強力である場合、スロープリハーサル状態を緩和するために、ミッドトリガー対応の入力が必要になります。



アズセナ・ルペルシオ: 以上です。ご清聴をありがとうございました。それでは質疑応答に移ります。